



芯来科技RISC-V处理器

900系列产品简介

产品概述

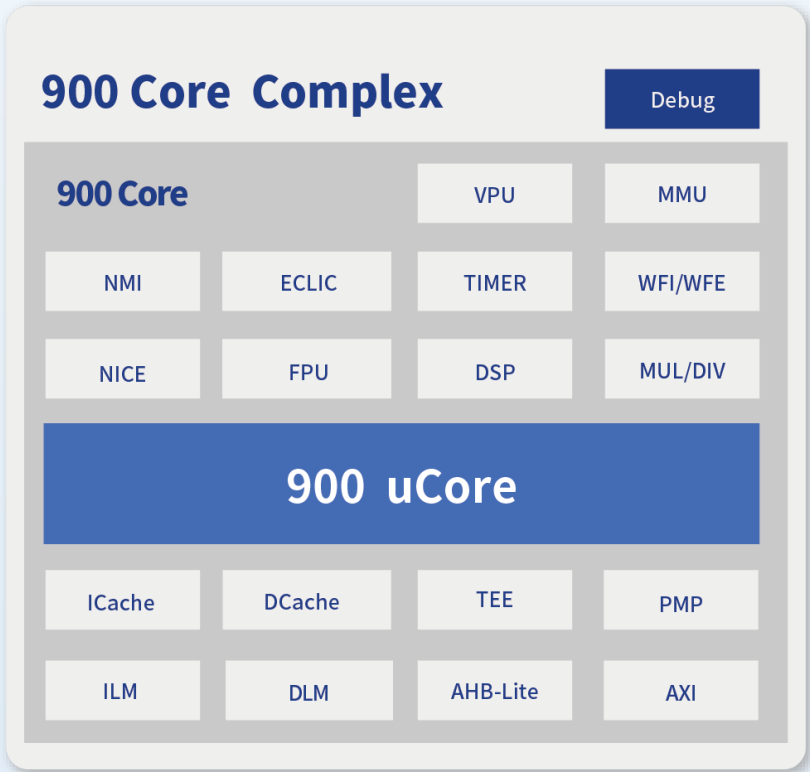
芯来900系列产品是基于RISC-V架构的处理器，支持RV32/64IMACFDPVBZfh。900系列为9级流水线、可配置单发射或者双发射、具备顺序发射乱序写回能力的处理器内核。900系列分为四个不同的级别，其中N900系列为32位嵌入式处理器；U900系列为32位应用处理器；NX600系列为64位嵌入式处理器；UX900系列为64位应用处理器。

900系列作为芯来高端内核拥有强劲的处理能力，N和U900拥有 2.84/6.05(legal/best) Dhrystone/MHz、5.5 Coremark/MHz；NX和UX900拥有 3.09/7.7(legal/best) Dhrystone/MHz、5.5 Coremark/MHz。

900系列支持本地片上SRAM，可以分别选择配置本地的指令和数据的片上SRAM (ILM/DLM)，提高实时处理能力。在配置本地内存的同时，用户可以增加指令和数据的缓存(I-Cache/D-Cache)以提高整体子系统的性能。900系列支持多核模式，单cluster最高可配置16核，多核模式下可配置系统级缓存，同时支持缓存一致性。

900系列支持多种系列的RISC-V扩展，包括矢量处理、单双精度浮点、DSP、NICE(芯来自定义扩展指令)、以及TEE(可信执行环境)等，提供给用户丰富的特性支持。

900系列被广泛应用于各领域并大量出货，对标ARM Cortex-M7/R7/R8/A53/A55等处理器内核。



高性能
高实时性



RV32/64
IMACFDPBV



九级变长
流水设计



支持
I/D-Cache



机器模式
用户模式
监督模式



PMP和TEE等
多种安全机制



NICE指令
扩展机制



AXI
系统总线



RISC-V
调试标准



四线JTAG
两线JTAG

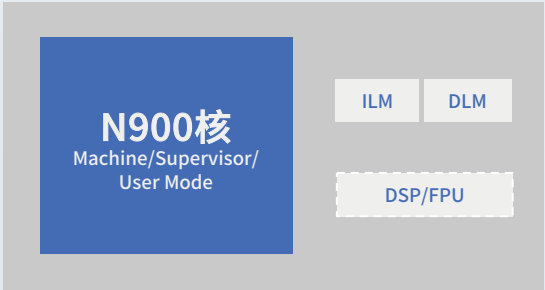


高实时性
中断机制

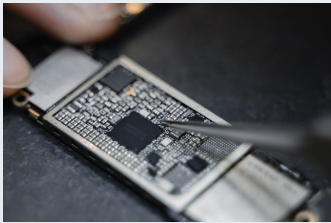


成熟的开发
调试环境

900系列常见配置及应用



- 32位架构, 9级流水线
- 可配置单发射/双发射
- RV32IMAFDCPVBZfh
- 片上指令和数据SRAM可配置
- SMP支持最多16核



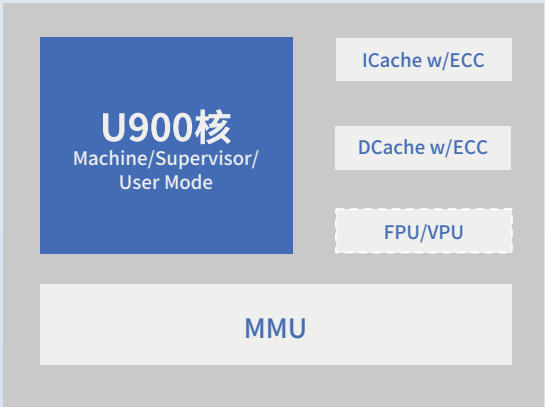
微控制器
MCU



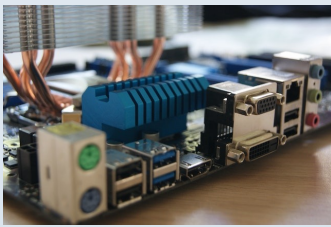
工业控制



汽车电子



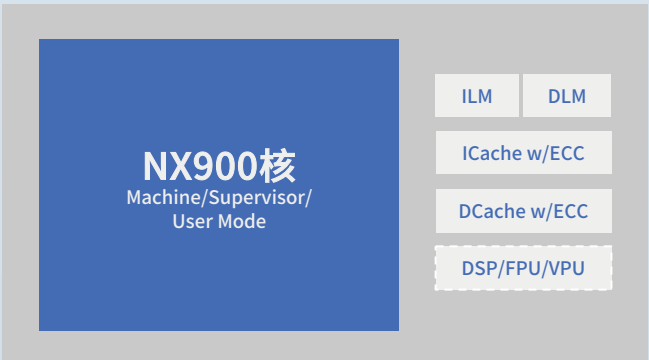
- 32位架构, 9级流水线
- 可配置单发射/双发射
- RV32IMAFDCPVBZfh
- 指令和数据缓存16-64KB
- 支持MMU，可运行Linux
- SMP支持最多16核



32b Linux



安防



- 64位架构, 9级流水线
- 可配置单发射/双发射
- RV64IMAFDCPVBZfh
- 片上指令和数据SRAM可配置
- 指令和数据缓存16-64KB
- SMP支持最多16核



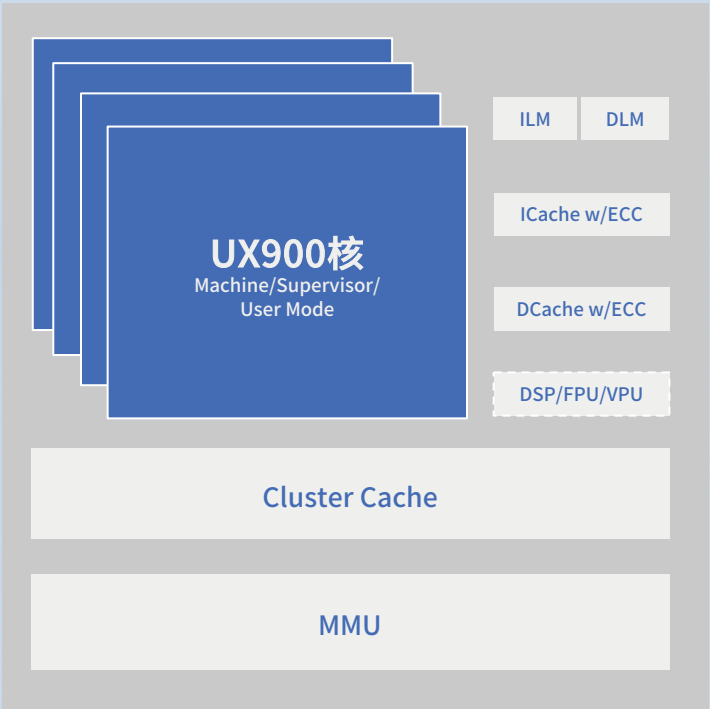
AI



AR/VR



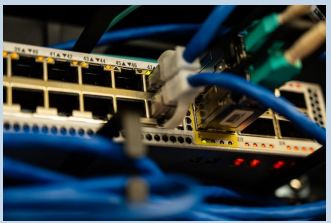
存储



- 64位架构, 9级流水线，双发射
- RV64IMAFDCPVBZfh
- 片上指令和数据SRAM可配置
- 指令和数据缓存16-64KB
- 支持MMU，可运行Linux
- SMP支持最多16核
- 系统级缓存可配，支持缓存一致性



64b Linux



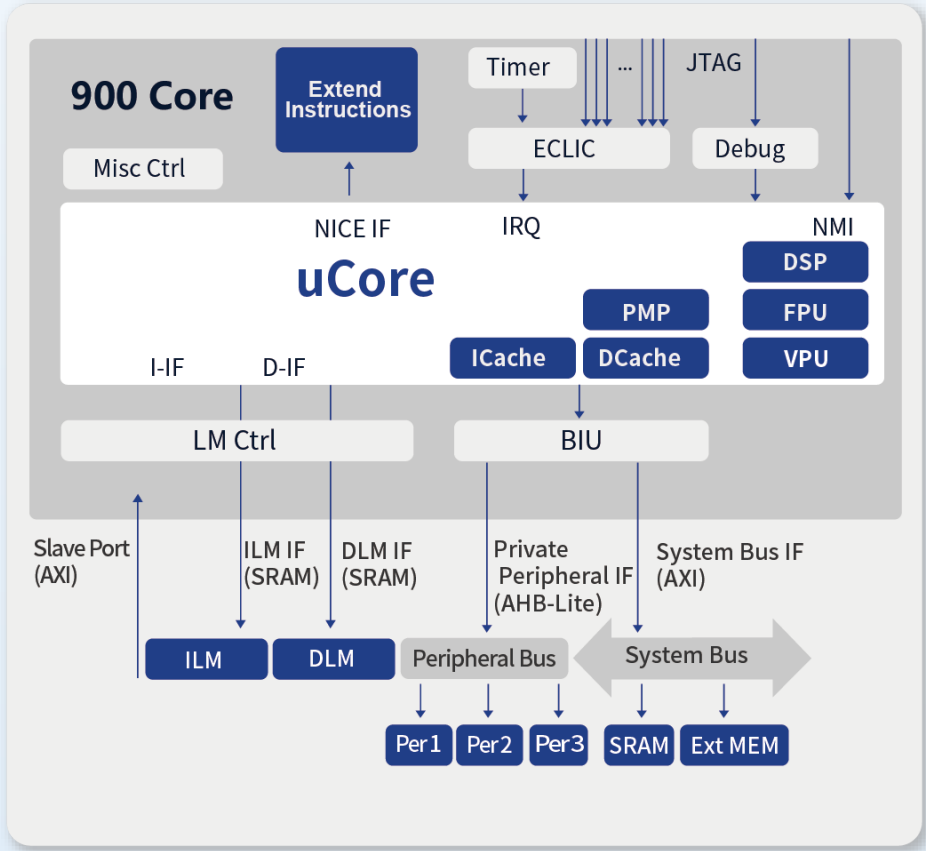
应用处理器



自动驾驶
机器人

900单核特性

- 支持RV32/64IMACFDPBVK指令集；
- 9级变长流水线双发射架构，满足高性能嵌入式及应用场景需求
- 支持64位AXI总线接口，32位AHB-Lite私有外设计口，ILM/DLM接口和从接口
- 可配置单双精度浮点和SIMD DSP扩展；
- 支持可扩展的VPU质量处理单元(128/256/512/1024)；
- 可配置指令和数据片上SRAM (ILM/DLM) with ECC；
- 可配置指令缓存 (ICache) with ECC；
- 可配置数据缓存 (DCache) with ECC；
- 可配置MMU(SV32/SV39/SV48)；
- 可配置PMP安全机制和TEE可信执行环境，满足系统安全需求；
- 支持标准JTAG和cJTAG调试接口，以及Linux/Windows调试工具；
- 支持RISC-V标准编译工具链，以及Linux/Windows的图形化集成开发环境(IDE)

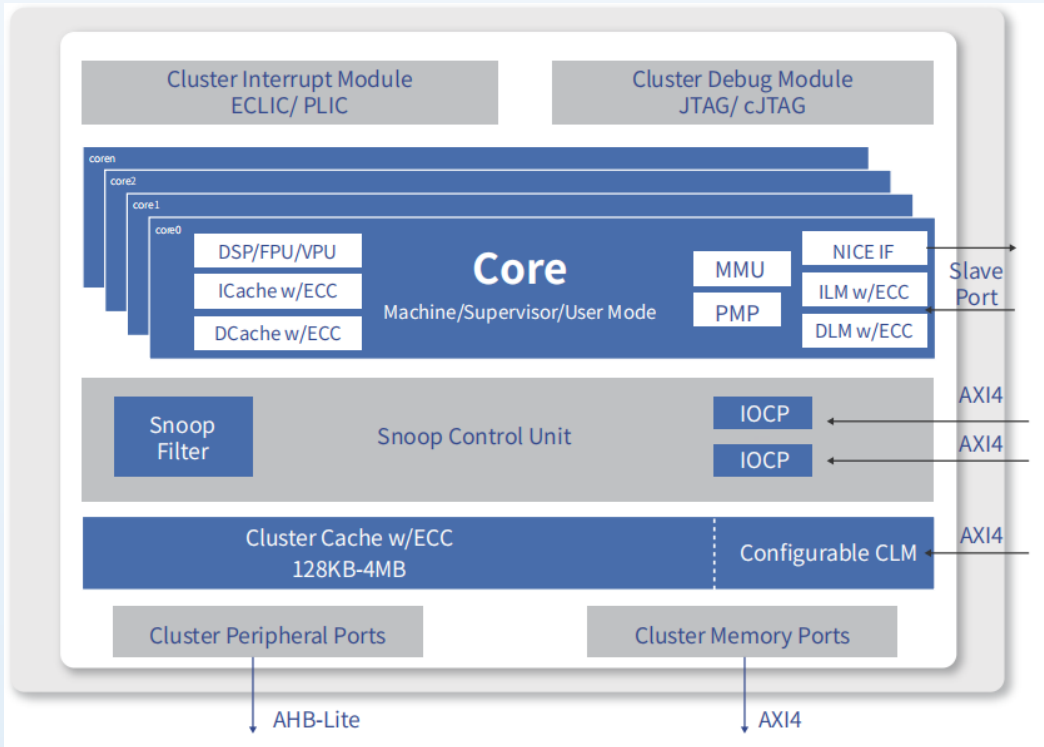


900系列分类

	地址位宽	MMU	多核
N900	32	不支持	支持
U900	32	支持	支持
NX900	64	不支持	支持
UX900	64	支持	支持

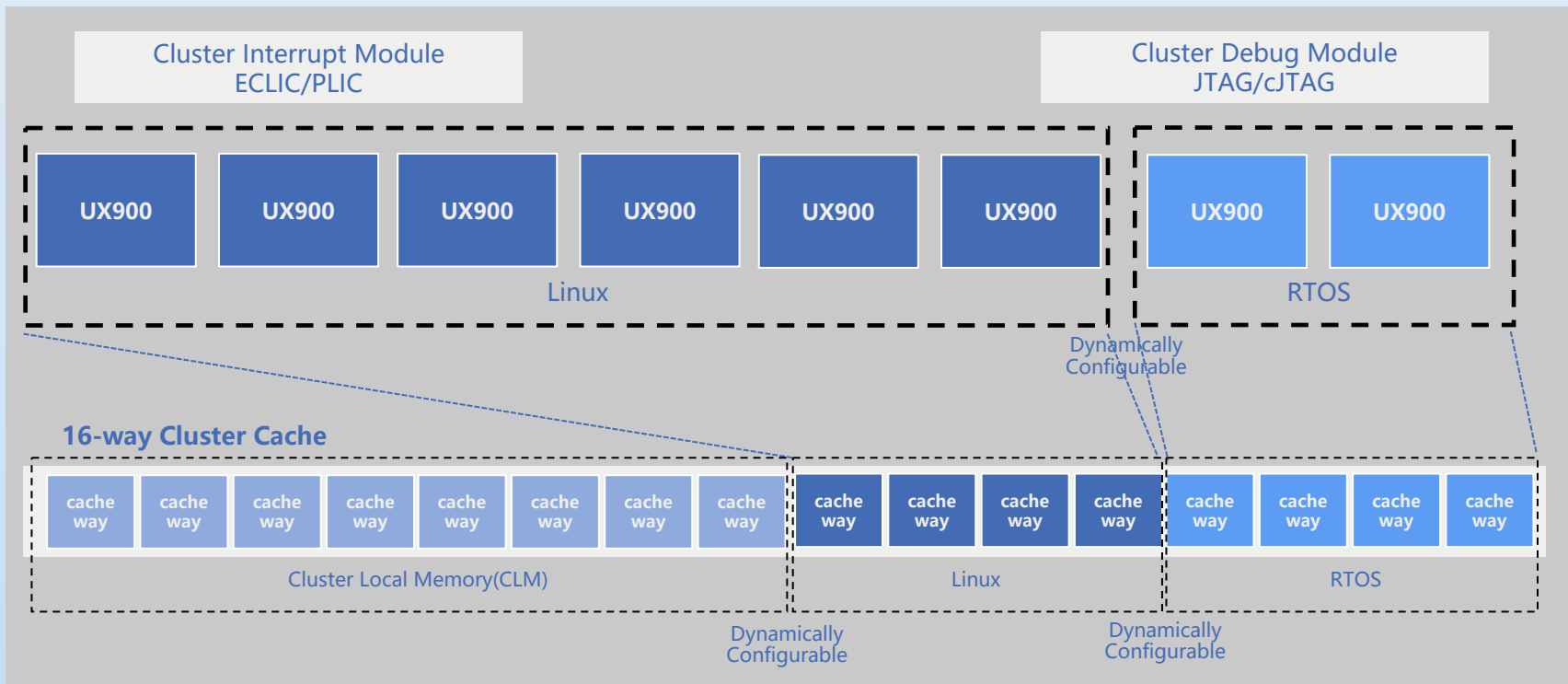
900系列SMP多核特性

- 支持可配置的多核双模特性(实时处理器与应用处理器双模式);
- 1~16个UX900处理器自由配置，支持同步或异步时钟时序配置，支持MOESI的多核一致性
- 系统接口
 - 支持64/128/256/512位宽可配置AXI协议的Cluster Memory Ports
 - 支持32位AHB-Lite协议的Cluster Peripheral Ports
- IOCP(I/O Coherent Ports)支持可以配置个数的端口
- 支持硬件数据预取机制(Data Prefetch)
- 系统级缓存Cluster Cache
 - 容量大小可配置
 - Cache Line Size 64Bytes
 - 可配置周期数的Tag RAM和Data RAM
 - 支持与核内Cache为Mostly Exclusive的分配机制
 - 支持16路组相联结构
 - 支持动态可配置Cluster Local Memory模式



900系列双模式

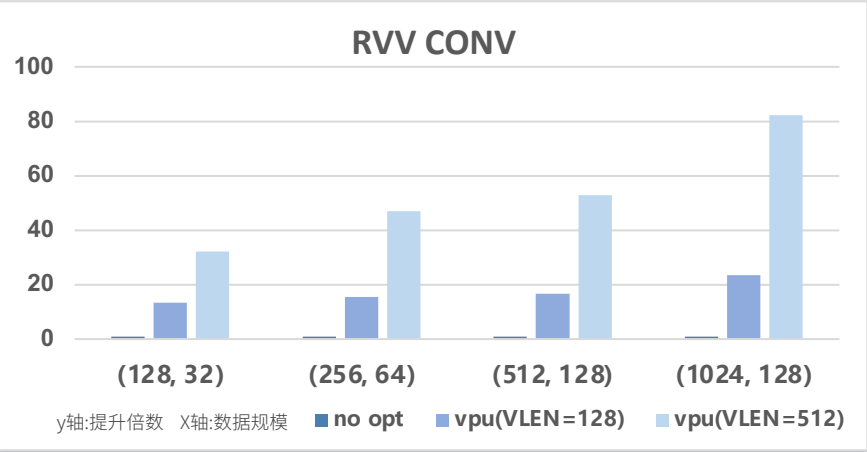
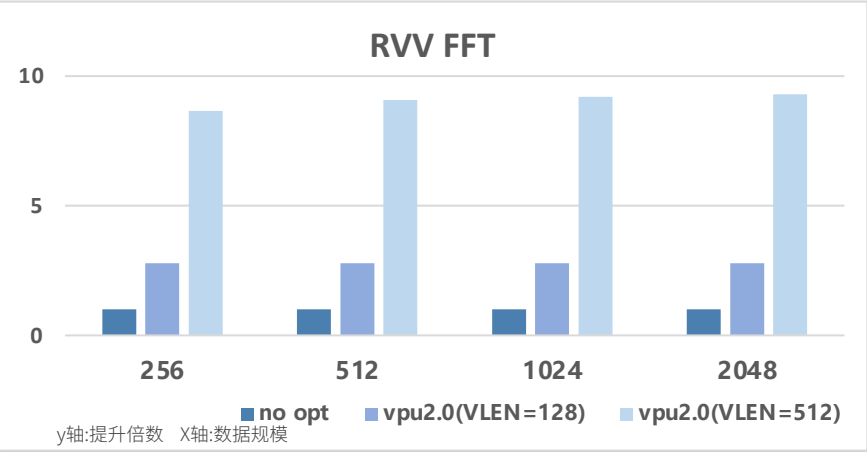
900多核系统支持应用模式+实时模式，同时Cluster Cache可以由用户需求自行配置，用作系统级片上SRAM(CLM)或者系统级缓存。



- 应用处理模式，拥有MMU
 - 系统级缓存可作为指令及数据缓存(Cache)
 - 私有化Timer
 - 系统级中断处理，支持PLIC(Platform Level Interrupt Controller)
- 实时处理模式
 - 系统级缓存可作为片上SRAM (ILM/DLM)
 - 私有化Timer
 - 快速中断处理ECLIC

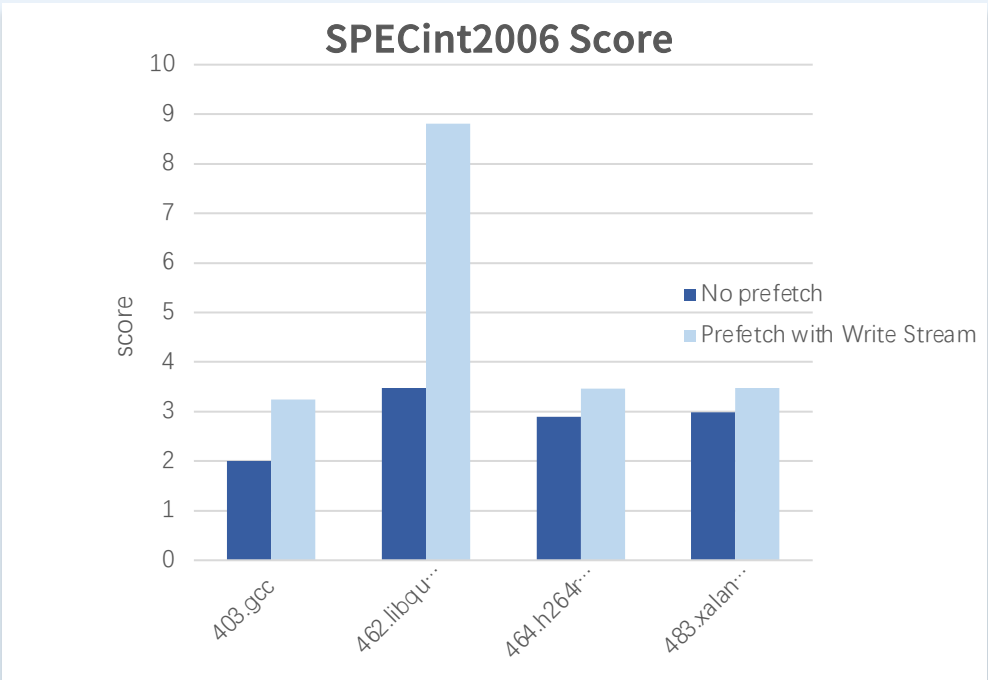
矢量计算单元VPU

- 高主频，可匹配主核CPU；
- 3个指令queue，支持支持 8/16/32/64 整数；8/16/31/64 定点；16/32/64 浮点以及BF16



L2 Pre-fetch特性

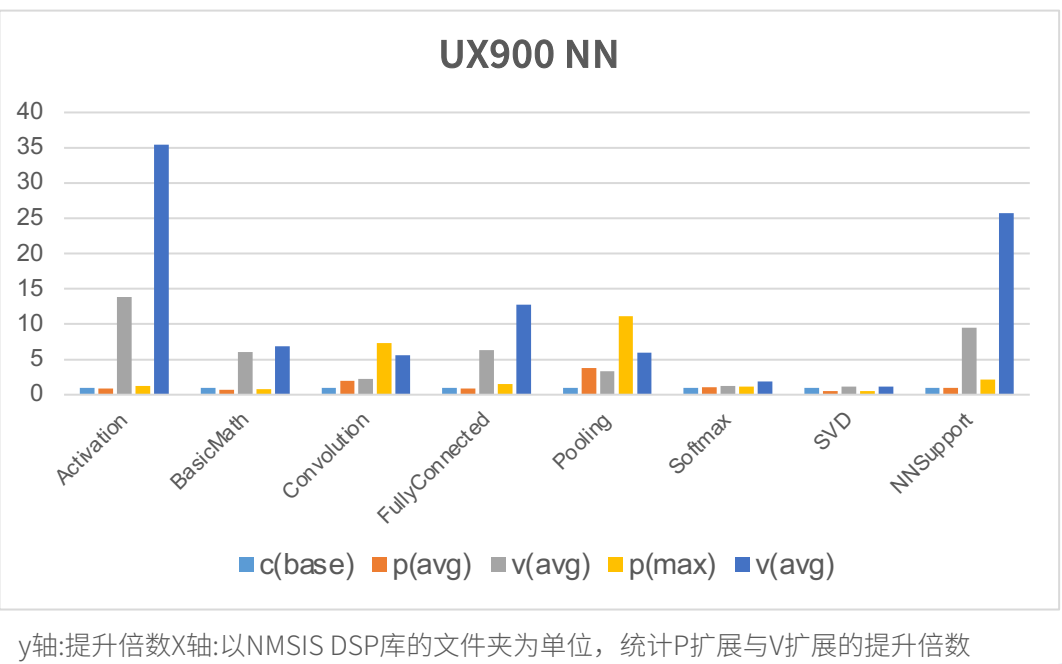
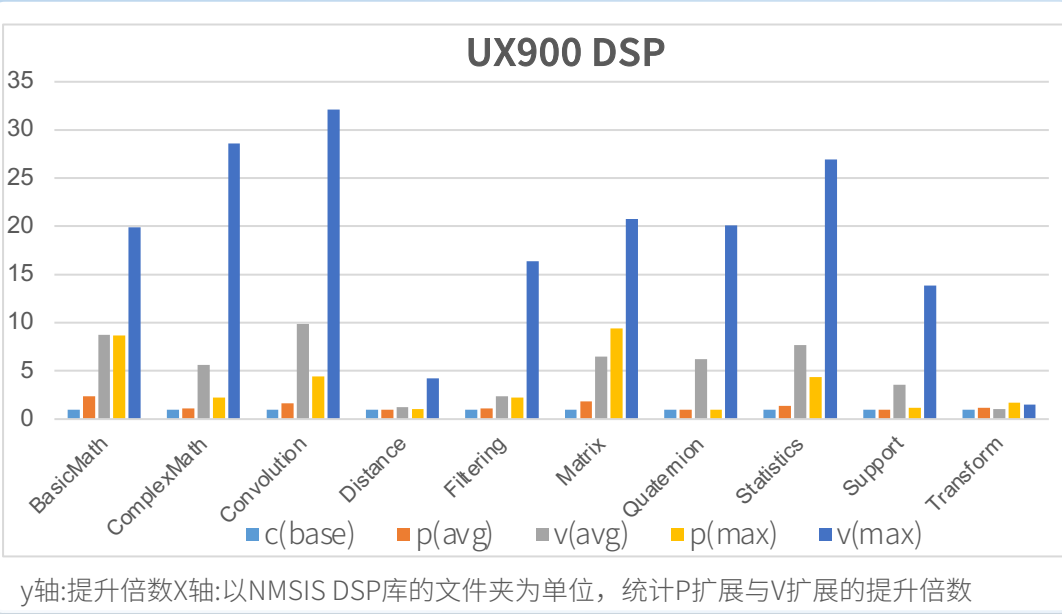
- 位于L2的pre-fetch特性大大加强了L2缓存系统的性能
- Pre-fetch引擎支持streaming、固定stride值、复杂pattern和next line四种模式
- SPECint2k6下给予处理器更高的性能和跑分



900系列 DSP扩展特性

- 支持**Packed-SIMD DSP**特性，遵循RISC-V“P”扩展；
- 可配置支持芯来自定义的DSP扩展指令：将特定字节Byte转化为XLEN GPR；
- 可支持三种额外的可配置扩展：N1、N2和N3，**将SIMD的平行计算能力提升一倍；**
- 支持兼容ARM CMSIS的**DSP库NMSIS**，帮助用户更方便的处理复杂DSP计算；
- 如图，芯来DSP库所带来的各项性能提升；
- 详细定义、可支持指令以及DSP库请参考：

[Nuclei® RISC-V Packed-SIMD DSP QuickStart](#)



900系列内存子系统介绍

900系列支持指令和数据片上SRAM：**ILM (Instruction Local Memory)** 和**DLM (Data Local Memory)**，提供可观的实时处理能力：

- ILM和DLM拥有**128B-2GB**的巨大可配置范围，给予用户极高的灵活性。
- 可配置独立的**AHB-Lite接口**、**SRAM接口**以及自定义**地址空间**。

900系列支持指令缓存Instruction Cache

- **2路组、64B缓存行**的缓存结构
- 缓存大小**8KB-64KB**可配
- 支持缓存行的**LOCK和INVAL**指令

900系列支持数据缓存Data Cache

- **2路组、64B缓存行**的缓存结构
- 缓存大小**8KB-64KB**可配
- 支持缓存行的**LOCK和INVAL**指令

900系列支持系统级缓存Cluster Cache

- **16路组、64B缓存行**的缓存结构
- 缓存大小**128KB-4MB**可配
- 软件可以管理**每个内核的snoop行为**
- 系统级缓存可以被配置成**本地片上SRAM**，支持实时应用

900系列系统接口介绍

总线接口	描述	Atomic	Burst	缓存性	协议	总线位宽
系统总线	系统指令及数据	支持	支持	可配置	AXI4	64/128/256/512 bit
ILM接口	本地指令	不支持	不支持	不支持	SRAM	64 bit
DLM接口	本地数据	不支持	不支持	不支持	SRAM	2*32 bit
PPI接口	私有外设	不支持	不支持	不支持	AHB-Lite	32 bit
Slave接口	外部master读取	不支持	支持	不支持	AXI4	64 bit
IOCP接口	外部master读取系统级缓存并保持一致性	不支持	支持	不支持	AXI4	64/128 bit

芯来科技CPU子系统

以CPU IP为核心入口，扩展到周边的其他SoC IP，
通过芯来的内部工具完成整合、验证，最终交付
于用户**一套完整的子系统解决方案。**

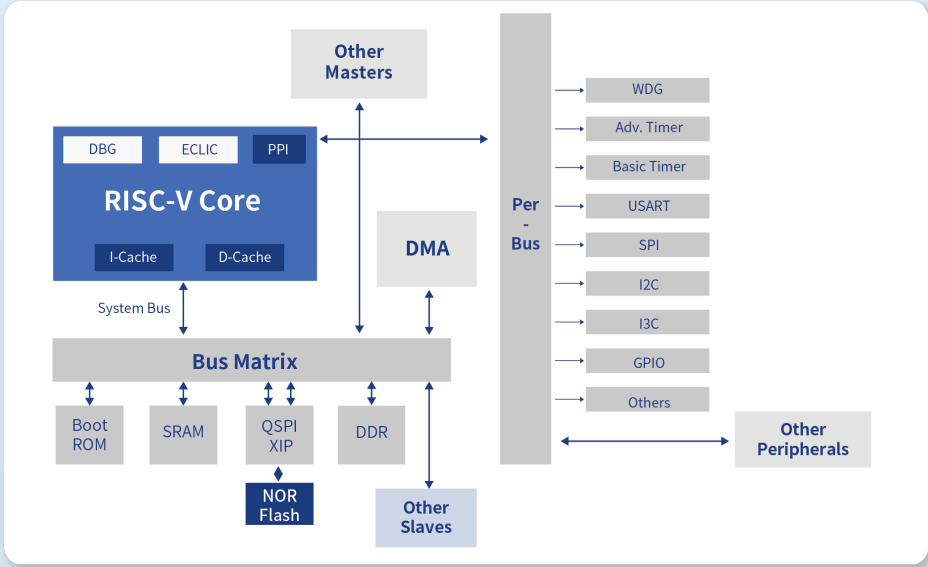
- **省钱：** 全套SoC子系统IP极大**降低了**客户的
SoC**一次性投入成本；**
- **省时：** 预集成的SoC子系统极大**缩短了**客户
的SoC**开发时间；**
- **省力：** 配套的SoC软件驱动与SDK帮助客户
快速Bring Up产品原型。



创新的全栈CPU子系统案例

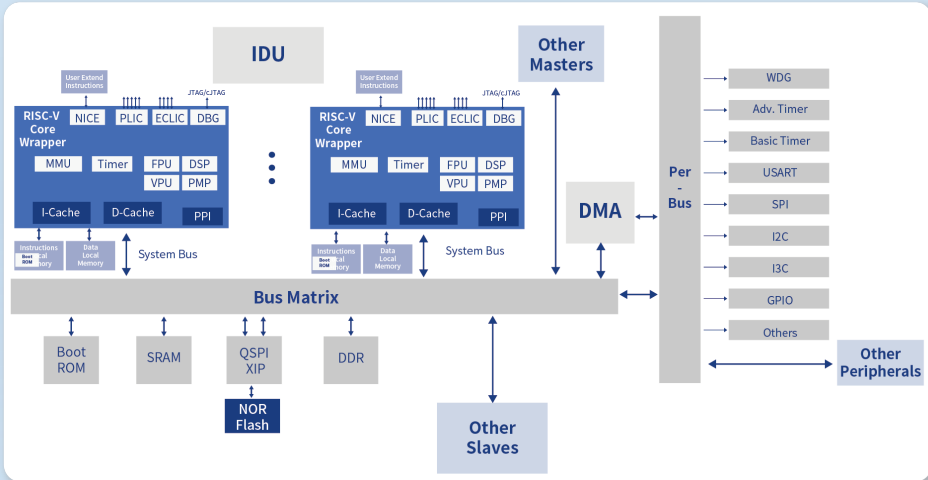
客户案例 一

单核案例：
客户基于此子系统所配套的硬件集成和软件
SDK于**2周内成功Bring Up。**



客户案例 二

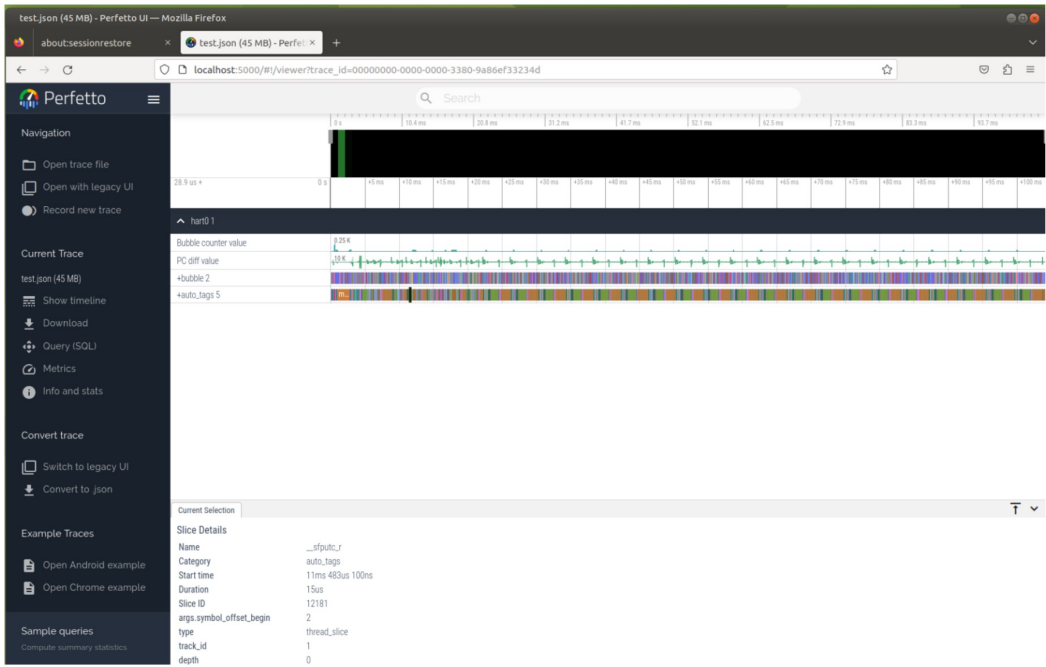
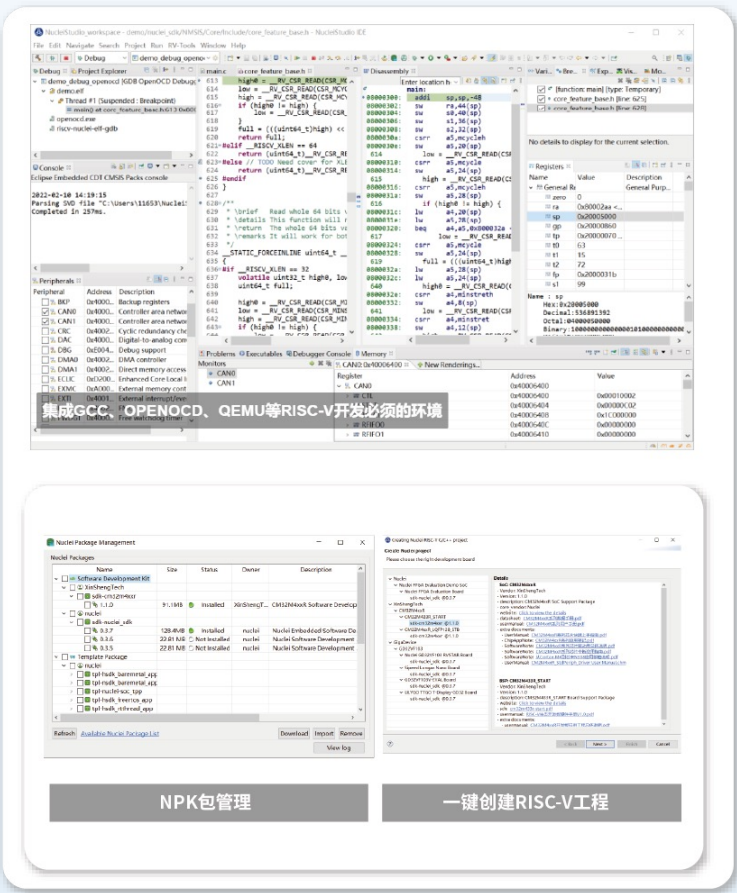
多核案例：
支持双模模式（**实时处理模式**和**应用处理模式**），并且包括核间中断处理单元IDU，总线
Bus等。



芯来集成开发环境（IDE）

基于Eclipse CDT开发环境， 配合易懂的用户手册，
用户可以快速上手。

- 深度集成Nuclei RISC-V GCC, OpenOCD和QEMU
- Nuclei Package(NPK)软件包解决方案
- 支持SoC Subsystem SDK一键导入与使用
- 绿色，免安装
- 一键项目模板 + 一键项目配置
- 代码编写
- 在线调试
- 程序烧写
- 集成串口显示
- 实时显示寄存器
- 支持Linux和Windows
- 深度集成RV Prof -- 进行性能 profiling 和优化的专业工具，精确到每条指令的执行时间等
- 集成RISC-V e-trace，配合ATB2AXI跟踪模块和trace decoder进行CPU的异常分析和性能分析



900系列广泛应用于各领域并大量出货



汽车



通讯



存储



服务器



以太网



AI